

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Katsuhito SASAKI :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: April 13, 2004 : Attorney Docket No. OKI.624
For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
THEREOF

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:


Appln. No. 2003-379712 filed November 10, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: April 13, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 1 0 日
Date of Application:

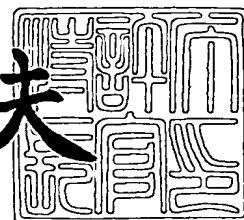
出 願 番 号 特 願 2 0 0 3 - 3 7 9 7 1 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 7 9 7 1 2]

出 願 人 沖 電 気 工 業 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 2 8 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 KT000532
【提出日】 平成15年11月10日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01L 29/00
【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 【氏名】 佐々木 克仁
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【代理人】
 【識別番号】 100095957
 【弁理士】
 【氏名又は名称】 亀谷 美明
 【電話番号】 03-5919-3808
【選任した代理人】
 【識別番号】 100096389
 【弁理士】
 【氏名又は名称】 金本 哲男
 【電話番号】 03-3226-6631
【選任した代理人】
 【識別番号】 100101557
 【弁理士】
 【氏名又は名称】 萩原 康司
 【電話番号】 03-3226-6631
【手数料の表示】
 【予納台帳番号】 040224
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9707549
 【包括委任状番号】 9707550
 【包括委任状番号】 9707551

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板の第 1 導電型層上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、少なくともドレイン電極形成予定側の一端部にスリットを有するゲート電極を形成する工程と、

前記ゲート電極をマスクとして、第 2 導電型の不純物を選択的に前記第 1 導電型層に注入する工程と、

熱処理を施すことにより、前記不純物を活性化し、前記スリット部に注入された不純物領域と前記ゲート電極外側部に注入された前記スリット近傍の不純物領域とを一体化し、前記ゲート電極の少なくともドレイン電極形成予定側の一侧にオーバーラップする、一対の第 2 導電型層を形成する工程と、

一対の前記第 2 導電型層内に、前記ゲート電極と離間し、ソース電極及び前記ドレイン電極と各々接触を取るための一対の第 2 導電型の高濃度層を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記スリット端から前記スリット近傍の前記ゲート電極端の長さは、前記スリット部に注入された不純物領域と前記ゲート電極外側部に注入された前記スリット近傍の不純物領域とが熱処理による横方向拡散により一体化する長さに形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

半導体基板の第 1 導電型層内に離間して形成された一対の第 2 導電型層と、

前記第 1 導電型層及び一対の前記第 2 導電型層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に一対の前記第 2 導電型層を連結するように、少なくともドレイン電極形成予定側の一侧に前記第 2 導電型層とオーバーラップして形成され、オーバーラップした前記第 2 導電型層端部の上部にスリットを有するゲート電極と、

一対の前記第 2 導電型層内に、前記ゲート電極と離間し、ソース電極及び前記ドレイン電極と各々接触を取るために形成された一対の第 2 導電型の高濃度層と、

を備えることを特徴とする半導体装置。

【請求項 4】

前記第 2 導電型層は、前記スリット外側のゲート電極端部の下部で、他の部分より低濃度となっていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記第 2 導電型層と前記ゲート電極とのオーバーラップする長さは、素子耐圧に応じて決められることを特徴とする請求項 3 または 4 に記載の半導体装置。

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【技術分野】

【0001】

本発明は、半導体装置、特に高耐圧仕様のMOSトランジスタ及びその製造方法に関するものである。

【背景技術】

【0002】

従来の高耐圧MOSトランジスタにおいては、ゲート電極下の電界を緩和してホットキャリアの発生を抑制すべく、低濃度拡散層がゲート電極下にオーバーラップした構造を有している。以下に、従来の高耐圧MOSトランジスタの製法についてN型のMOSトランジスタを例に、図3の工程断面図を用いて説明する。

【0003】

P型半導体基板301上に公知の酸化またはCVD技術により酸化膜などの絶縁膜302を形成し、次いで、公知のフォトリソグラフィ技術によりレジストパタン303を形成した後、公知のイオン注入技術により、例えばリンなどのN型不純物をドーズ量 $6.0 \times 10^{12} \text{ cm}^{-2}$ 程度打ち込み、次いで、公知の拡散技術により、前記N型不純物を活性化させ、MOSトランジスタにおけるソース、ドレイン電界の緩和層となるN型低濃度拡散層304を形成する(図3(a))。

【0004】

次いで、レジストパタン303を除去し、公知のCVD技術により、絶縁膜302上にポリシリコン膜を堆積させた後、公知のフォトリソグラフィ及びエッチング技術を用い、ポリシリコン膜をパターニングし、ゲート電極305を形成する(図3(b))。尚、このとき、ゲート電極305は絶縁膜302を介して、N型低濃度拡散層304の一部を約 $1.5 \mu\text{m}$ 程度覆う形で、低濃度拡散層がゲート電極下にオーバーラップした構造で形成されている。

【0005】

次いで、公知のフォトリソグラフィ技術によりレジストパタンを形成した後、公知のイオン注入技術により、例えばAsなどのN型不純物をドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ 程度打ち込み、MOSトランジスタのソース及びドレイン電極取り出しのためのN型高濃度拡散層306を形成する(図3(c))。尚、このとき、N型高濃度拡散層306はゲート電極305と離間して形成されている。

【0006】

以降、コンタクト形成、配線形成を経て、低濃度拡散層がゲート電極下にオーバーラップした構造の高耐圧MOSトランジスタが形成される。尚、コンタクト及び配線形成については公知の技術を用いており、図示していない。

【0007】

また、MOSトランジスタの耐圧特性の改善のために、特許文献1にはソース及びドレイン電極取り出しのための高濃度層を任意で均一な位置に形成する方法について記載されており、特許文献2は低濃度層と高濃度層を所望の領域に自己整合的に形成する方法が記載されている。

【0008】

【特許文献1】 特開平9-205205号公報

【特許文献2】 特開2002-289845号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、上記特許文献においては、ゲート電極を低濃度層に所望の長さでオーバーラップさせることについては触れられておらず、また、上記の従来技術に示したように形成された電界緩和のための低濃度拡散層とゲート電極がオーバーラップした構造の高耐

圧MOSトランジスタの製造方法においては、低濃度拡散層を形成した後にゲート電極を形成する必要があるが、フォトリソグラフィ技術を用いた場合、低濃度拡散層形成のためのパターンニングと、ゲート電極形成のためのパターンニングとの合せ余裕を考慮して、低濃度拡散層とゲート電極とのオーバーラップする部分の寸法を決定する必要があったため、素子の微細化を妨げるといった問題があった。

【0010】

そこで、本発明はこのような問題に鑑みてなされたものであり、その目的とするところは、ゲート電極と自己整合的に低濃度拡散層を形成することにより低濃度拡散層とゲート電極とがオーバーラップする部分に対してフォトリソグラフィ合せ余裕分の寸法を考慮する必要をなくし、高耐圧を有しながら、トランジスタサイズの縮小化を可能とする、新規かつ改良された半導体装置及び半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明のある観点によれば、半導体基板の第1導電型層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に、少なくともドレイン電極形成予定側の一端部にスリットを有するゲート電極を形成する工程と、ゲート電極をマスクとして、第2導電型の不純物を選択的に第1導電型層に注入する工程と、熱処理を施すことによって不純物を活性化し、横方向の拡散によってスリット部に注入された不純物領域とその近傍のゲート電極の外側の領域に注入された不純物領域とを一体化してゲート電極の少なくともドレイン電極形成予定側の一侧にゲート電極とオーバーラップする一対の第2導電型層を形成する工程と、第2導電型層内に、ゲート電極と離間してソース電極及びドレイン電極と各々接触を取るための一対の第2導電型の高濃度層を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

【0012】

ここで、ドレイン電極形成予定側とは、ゲート電極の両側にソース電極及びドレイン電極が形成される電界効果トランジスタの構造において、現時点ではドレイン電極が形成されていないが、後工程でドレイン電極を形成する予定となっている側という意味である。また、ゲート電極に第2導電型層がオーバーラップする構造とは、第1導電型層上にゲート酸化膜を介して形成されるゲート電極下部の第1導電型層の領域を狭めるように一対の第2導電型層がゲート電極下部に入り込み、ゲート電極端部が第2導電型層の上部に位置している構造を示している。

【0013】

このように、端部にスリットを有するゲート電極を形成し、そのゲート電極をマスクにイオン注入を行い、活性化のための熱処理により横方向拡散を起こし、スリット部の不純物領域と近接するゲート外側の不純物領域とを一体化して第2導電型層を形成することにより、ゲート電極にオーバーラップする第2導電型層を自己整合的に形成することができる。

【0014】

特に高耐圧MOSトランジスタにおいては、電界を緩和しホットキャリアの発生を防止するため、低濃度の拡散層がゲート電極とオーバーラップした構造とすることが必要である。従来のフォトリソグラフィを用いた方法では、ゲート電極と低濃度の拡散層である第2導電型層とがオーバーラップするために、合わせ精度を考慮して必要以上のオーバーラップ長（オーバーラップした部分の長さ）を取る必要があった。しかし本発明では自己整合的に所望のオーバーラップ長を取ることができるので、必要以上にオーバーラップさせる必要がなくなり、素子性能や信頼性を保ちながら寸法を微細化することができる。

【0015】

高耐圧MOSトランジスタにおいて、特に問題となるドレイン電界緩和のためには、少なくともドレイン側のゲート電極と第2導電型層の十分なオーバーラップ長が必要であるので、スリットは少なくともゲート電極のドレイン側に形成して所望の長さだけオーバーラップさせることが望ましい。

【0016】

また、ゲート電極と所望の長さでオーバーラップする第2導電型層を形成するために、スリット端からスリット近傍のゲート電極端の長さ、つまりゲート電極端部の長さは、スリット部に注入された不純物領域とゲート電極外側に注入された不純物領域とが熱処理による横方向拡散により一体化する長さに形成しておくことが好ましい。

【0017】

上記製造方法により、半導体基板の第1導電型層内に離間して形成された一対の第2導電型層と、第1導電型層及び第2導電型層上に形成されたゲート絶縁膜と、ゲート絶縁膜上に、一対の第2導電型層を連結して少なくともドレイン電極側の一侧がオーバーラップするように形成され、オーバーラップした第2導電型層端部の上部にはスリットを有するゲート電極と、第2導電型層内に、ゲート電極と離間してソース電極及びドレイン電極と各々接触を取るために形成された一対の第2導電型の高濃度層と、を備えることを特徴とする半導体装置が提供される。

【0018】

本構造の第2導電型層においては、第2導電型層はスリット部に注入された不純物領域とゲート電極外側に注入された不純物領域とが一体化することにより形成されるが、ゲート電極のスリットより外側の電極端部の下部は境界部分であるので、濃度が他の部分より低濃度とすることができる。ゲート電極の両端部下の濃度を特に低くできることは、効果的に電界集中を抑制でき、ホットキャリアの発生を抑制することが可能となる。

【発明の効果】

【0019】

以上詳述したように本発明によれば、ゲート電極を形成後に自己整合的に低濃度拡散層を形成することにより、低濃度拡散層とゲート電極とのオーバーラップした部分を所望の長さや濃度にかつ均一に形成することができ、従来のようにフォトリソグラフィ合せ余裕分の寸法を考慮する必要がなくなるので、高耐圧を有しながら、トランジスタサイズの縮小化を可能とする半導体装置及び半導体装置の製造方法を提供できるものである。

【発明を実施するための最良の形態】

【0020】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0021】

(第1の実施の形態)

ここでは第1の実施の形態として、N型のMOSトランジスタを例に、その製造方法を図1の工程断面図、図2(a)の断面図及び図2(b)の概略平面図を用いて説明する。まず、半導体基板の第1導電型層であるP型半導体層101上に、公知の酸化またはCVD法を用いてゲート絶縁膜となる酸化膜などの絶縁膜102を1000Å程度形成する。

【0022】

次いで、公知のCVD技術によりゲート電極材料となる、例えばポリシリコン膜を絶縁膜102上に堆積させた後、公知のフォトリソグラフィ工程及びエッチング工程を用いて、ポリシリコン膜をパターニングし、ゲート電極103を形成する。尚、このとき、ゲート電極103の少なくともドレイン電極形成予定側の一端にスリットを設ける。本実施の形態においては、ドレイン電極形成予定側だけでなく、ゲート電極103の両端にスリット104を形成した(図1(a))。

【0023】

ここで、スリット104の幅L1は、例えば0.5µm程度に形成し、スリット104の端部からゲート電極103の端部までの長さL2は、例えば0.5µm程度となるように形成する。また、このスリット104は、図2(b)の概略平面図を見てわかるようにゲート電極103を分断するように形成されたものではなく、後工程の低濃度拡散層を形成する領域のみに形成されており、図1(a)のスリット104より外側の電極端部10

5は、ゲート電極103の一部であり、一体化している。

【0024】

次いで、公知のイオン注入技術により、ゲート電極103をマスクに自己整合的に、第2導電型の不純物として、例えばリンなどのN型不純物をドーズ量 $6.0 \times 10^{12} \text{ cm}^{-2}$ 程度打ち込まれ、不純物注入領域106が形成される(図1(b))。この時、ゲート電極103外部だけでなく、スリット104部分にもN型不純物が注入されている。

【0025】

次いで、公知の拡散技術により、例えば、 N_2 雰囲気中で 1000°C 、100分程度の熱処理を行うことにより、N型不純物を活性化させ、第2導電型層であるN型低濃度拡散層107を形成する(図1(c))。このN型低濃度拡散層107は、MOSトランジスタにおけるソース及びドレイン電界緩和層となる。

【0026】

ここで、N型低濃度拡散層107は、P型半導体層101の主表面に形成されるが、スリット104下に形成された不純物注入領域106とゲート電極103外部に形成された不純物注入領域106が、活性化処理のための熱処理によって横方向に拡散したことにより、一体化し、N型低濃度拡散層107となる。

【0027】

こうして、ゲート電極103下にN型低濃度拡散層107がオーバーラップし、オーバーラップ長 L_3 となるN型低濃度拡散層107がゲート電極103に自己整合的に形成される。オーバーラップ長 L_3 は、スリット幅 L_1 が約 $0.5 \mu\text{m}$ し、スリットからゲート電極端部までの長さ L_2 が約 $0.5 \mu\text{m}$ であり、さらに横方向拡散を考慮して約 $1.3 \mu\text{m}$ 程度に形成される。

【0028】

このオーバーラップ長 L_3 は、素子の耐圧仕様に応じて設定すべきものであるが、スリット104の幅 L_1 と、スリット104の端部からゲート電極103の端部までの長さ L_2 から所望の値とすることができる。また、スリット104の端部からゲート電極103の端部までの長さ L_2 は、熱処理による横方向の拡散により一体化する長さである必要があり、形成する不純物注入領域の深さや濃度などから決定することが好ましい。

【0029】

次いで、例えば公知のフォトリソグラフィ工程によりレジストパターンを形成した後、公知のイオン注入技術により、例えばAsなどのN型不純物をドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ 程度打ち込み、MOSトランジスタのソース電極及びドレイン電極と接触を取るための第2導電型の高濃度層であるN型高濃度拡散層108を形成して、図2(a)に示す素子断面構造を得る。尚、このとき、N型高濃度拡散層108はゲート電極103と離間して形成されている。

【0030】

以降、コンタクト形成、配線形成を経て低濃度拡散層とゲート電極がオーバーラップした構造の高耐圧MOSトランジスタが形成される。尚、コンタクト及び配線形成については公知の技術を用いており、図示していない。

【0031】

以上のように、第1の実施の形態によれば、ゲート電極と自己整合的にオーバーラップした低濃度拡散層を形成することが可能となり、低濃度拡散層とゲート電極とのオーバーラップ部分に関するフォトリソグラフィ合せ余裕分の寸法を考慮する必要がなくなった。つまり従来のように必要以上にオーバーラップ長を長く取らなくてよいので、トランジスタサイズの縮小化が可能となる。

【0032】

(第2の実施の形態)

次に第1の実施の形態を用いて製造した半導体装置について第2の実施の形態として説明する。ここでは第1の実施の形態と同様にN型のMOSトランジスタを例に、図2を用いて説明する。

【0033】

半導体基板の第1導電型層であるP型半導体層101上にゲート絶縁膜である絶縁膜102が形成され、P型半導体層101内には電界緩和のための第2導電型層であるN型低濃度拡散層107が形成されている。ゲート電極103は両端にスリット104を有し、スリット104を含むゲート電極103両端部の領域でN型低濃度拡散層107がオーバーラップし、両側のN型低濃度拡散層107にまたがるように形成されている。本実施の形態においては、ゲート電極103の両端にスリット104を有し、ゲート電極103両側の領域でN型低濃度拡散層107がオーバーラップしているが、少なくともドレイン電極が形成される側の一端にスリットを有し、N型低濃度拡散層107がオーバーラップしていればよい。

【0034】

さらに、N型低濃度拡散層107内には、ゲート電極103と離間して、ドレイン電極やソース電極（図示せず）との接触を取るためのN型高濃度拡散層108が形成されている。ここで、ゲート電極103のスリット104は、図2（b）のようにN型低濃度拡散層107の領域のみに形成されている。ゲート電極103下の領域とN型低濃度拡散層107のオーバーラップ長やN型低濃度拡散層107の濃度は、素子の耐圧仕様から決めることが好ましい。

【0035】

また、ゲート電極103に形成されたスリット104は、素子特性に悪影響を及ぼすことはなく、スリット104より外側の電極端部105の部分はトランジスタ動作中に、ゲート電極端部である電極端部105下のN型低濃度拡散層107の表面に電荷を蓄積させる方向に働くため、駆動能力の向上が可能となる。

【0036】

さらに本実施の形態の特徴として、電極端部105下のN型低濃度拡散層107の濃度が、スリット104やゲート電極103より外側の部分などのその他の部分のN型低濃度拡散層107の濃度に比べて低くなっていることがあげられる。これは、電極端部105下においては第1の実施の形態の製造方法により不純物注入領域が熱処理により活性化される工程で、低濃度拡散層が横方向に拡散して一体化したためである。そのため、一体化した境界部分が他の部分よりも低濃度となっている。

【0037】

一般的にゲート電極端部は、低濃度拡散層側からの横方向電界と、ゲート電極からの縦方向電界がぶつかる箇所であるため、最も電界集中が厳しくなるが、ゲート電極端部下の濃度を特に低くできることは、効果的に電界集中を抑制でき、ホットキャリアの発生を抑制することが可能となる。

【0038】

こうして、第2の実施の形態の構造においては、耐圧仕様に見合ったゲート電極と低濃度拡散層のオーバーラップ長を有しており、さらにゲート電極下の両端部が特に低濃度となっているので、高い耐圧を保ち信頼性を向上しながら、微細化を可能にする構造を得ることができる。

【0039】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0040】

本実施の形態においては、Nチャネル型のMOSトランジスタについて説明したが、記載のN型、P型をすべて逆にすることにより、Pチャネル型MOSトランジスタについても同様に適用が可能である。

【産業上の利用可能性】**【0041】**

本発明は、半導体装置、特に高耐圧仕様のMOSトランジスタ及びその製造方法に適用可能であり、特に高耐圧を維持しながら素子寸法の微細化が可能な半導体装置及びその製造方法に適用可能である。

【図面の簡単な説明】

【0042】

【図1】第1の実施の形態による半導体装置の製造方法を示す工程断面図であり、(a)はゲート電極を形成した後の図であり、(b)は不純物注入した後の図であり、(c)はN型低濃度拡散層を形成した後の図である。

【図2】第2の実施の形態を示す半導体装置であり、(a)は素子部の概略断面図であり、(b)は素子部の概略平面図である。

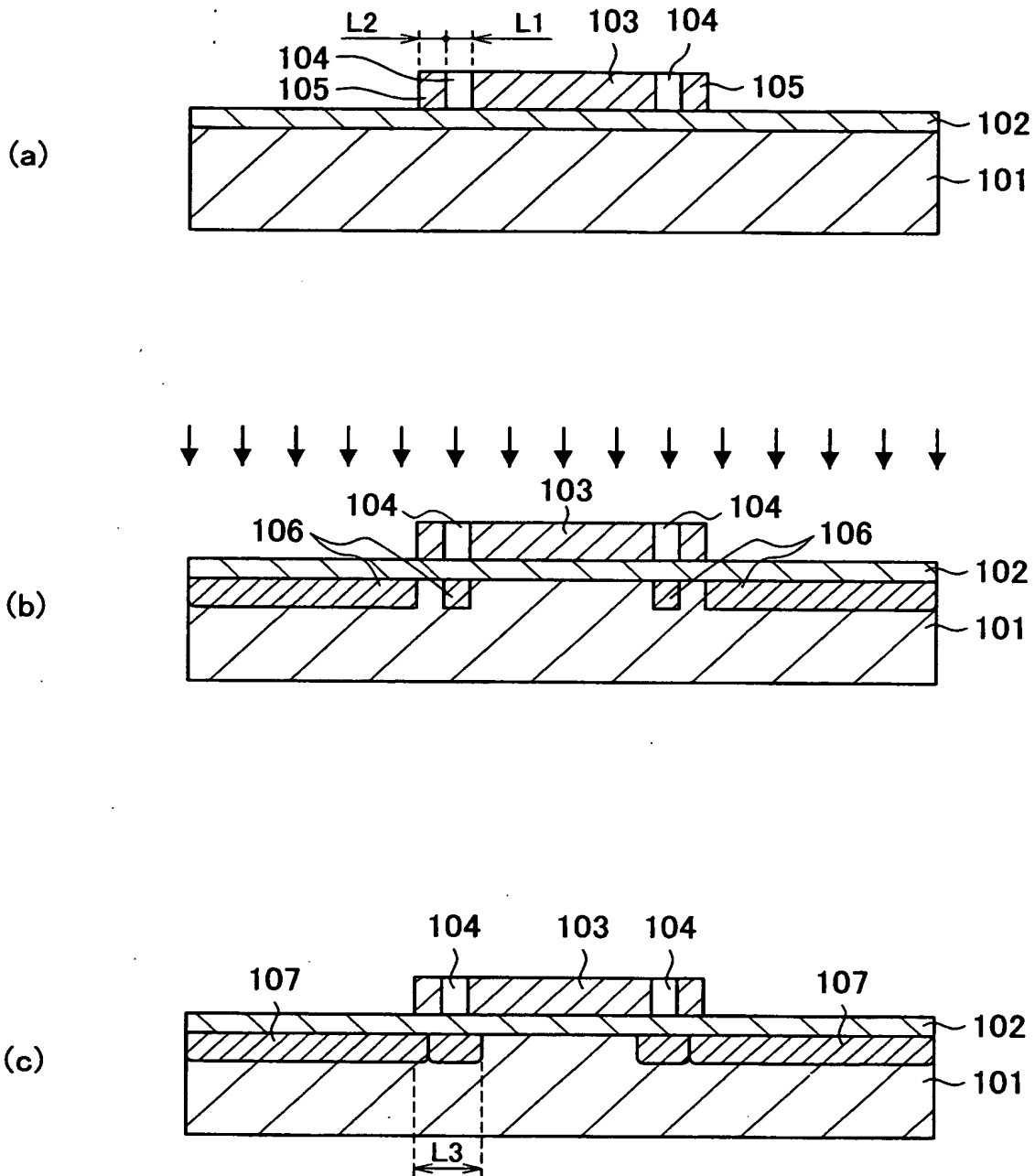
【図3】従来の半導体装置の製造方法を示す工程断面図であり、(a)はN型低濃度拡散層を形成した後の図であり、(b)はゲート電極を形成した後の図であり、(c)はN型高濃度拡散層を形成した後の図である。

【符号の説明】

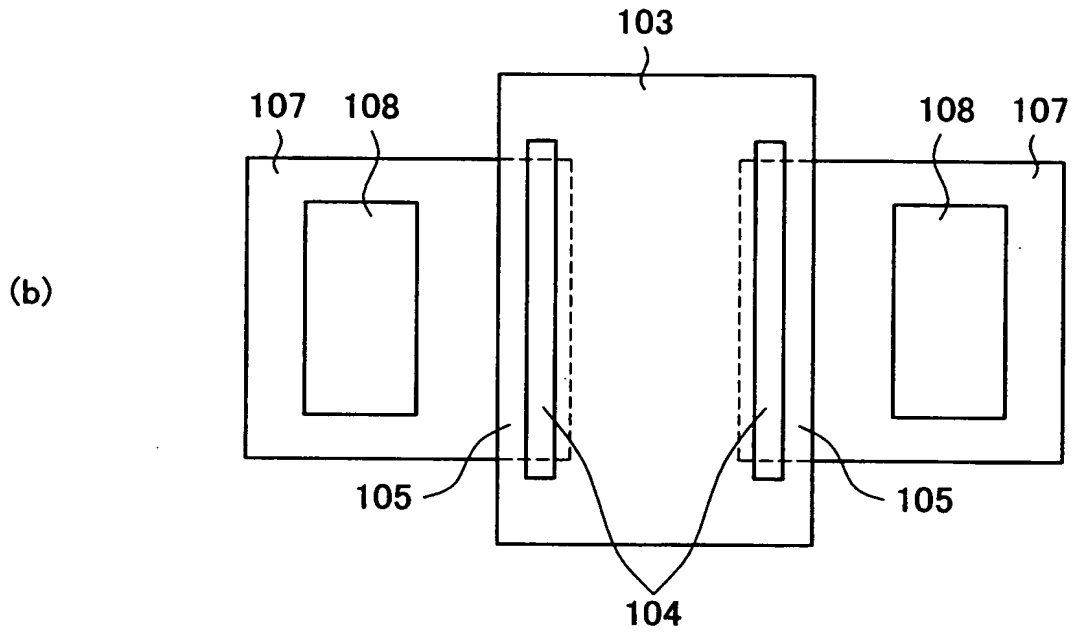
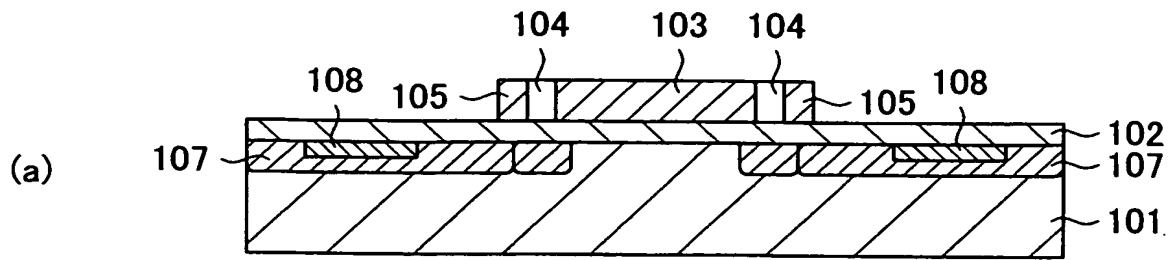
【0043】

101	P型半導体層
102	絶縁膜
103	ゲート電極
104	スリット
105	電極端部
106	不純物注入領域
107	N型低濃度拡散層
108	N型高濃度拡散層

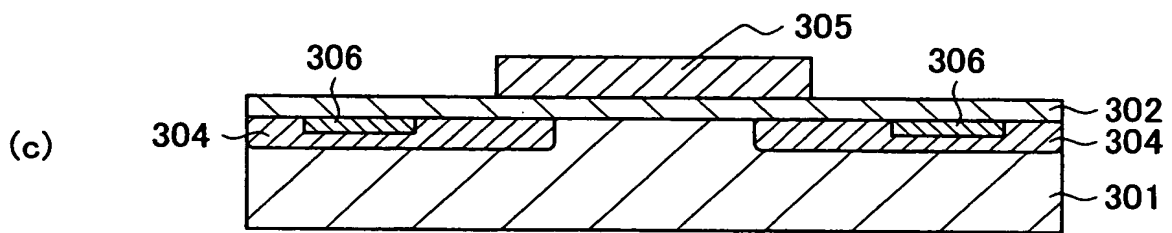
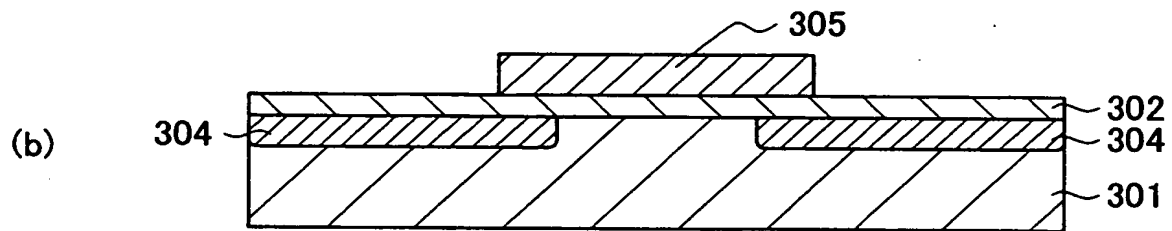
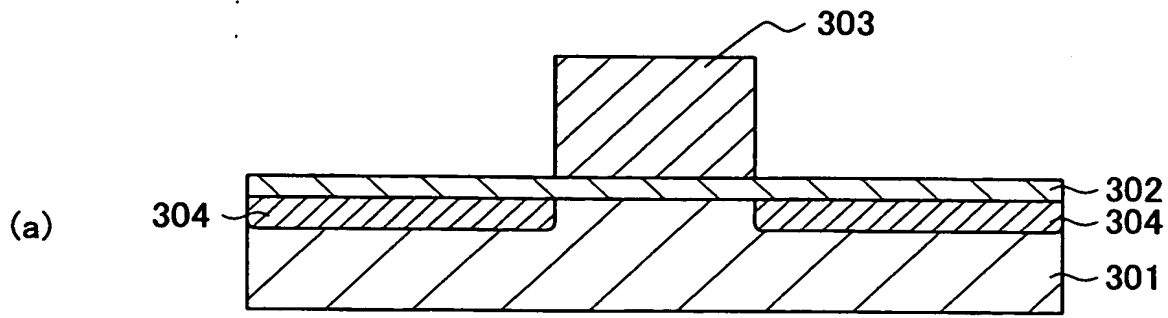
【書類名】 図面
【図 1】



【図 2】



【図 3】



【書類名】 要約書**【要約】**

【課題】 低濃度拡散層とゲート電極とのオーバーラップする長さを最適な寸法とし、素子の微細化を可能とする半導体装置及び半導体装置の製造方法を提供する。

【解決手段】 P型半導体層 101 上にゲート絶縁膜 102 を形成する工程と、ゲート絶縁膜 102 上に、少なくともドレイン電極形成予定側の一端部にスリット 104 を有するゲート電極 103 を形成する工程と、ゲート電極 103 をマスクとして、N型の不純物を選択的にP型半導体層 101 に注入する工程と、熱処理を施すことによって、不純物を活性化し、横方向の拡散によってスリット部とゲート電極の外側部とに注入された不純物領域を一体化してゲート電極の少なくともドレイン電極側でオーバーラップする一対のN型低濃度拡散層 107 を形成する工程と、ゲート電極 103 と離間して一対のN型高濃度拡散層 108 を形成する工程と、を含む。

【選択図】 図 1

特願 2 0 0 3 - 3 7 9 7 1 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社